

Docket No.: 57810-035

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shoichiro MATSUMOTO

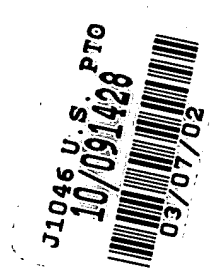
Serial No.:

Group Art Unit:

Filed: March 27, 2002

Examiner:

For: SEMICONDUCTOR DEVICE AND DISPLAY COMPRISING THE SAME



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

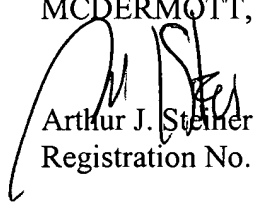
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-098151, Filed March 30, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202)756-8000 AJS:kjw
Facsimile: (202)756-8087
Date: March 7, 2002

10/091428

Reference Number: NBC1012006

Dispatch Number: 035511

Dispatch Date: February 24, 2004

Notification of Reason(s) for Rejection

5

Patent Application No. Patent Application No.2001-098151

Drafting Date January 29, 2003

Examiner of JPO Naoaki Hashimoto 9707 2G00

Representative Mr. Hirokazu Miyazono

10 Applied Provision Patent Law Sections 29(2) and 36

This application should be rejected for the reason mentioned below. If the applicant has any argument against the reason, such argument should be submitted within 60 days of the date on which this notification was dispatched.

15

Reason(s)

[Reason 1]

20

The invention(s) in the claim(s) listed below of the subject application should not be granted a patent under the provision of Patent Law Section 29(2) since it could have easily been made by persons who have common knowledge in the technical field to which the invention(s) pertains, on the basis of the inventions described in the publication(s) listed below which was distributed in Japan

25

or foreign countries prior to the filing of the subject application.

Note (The list of cited references etc. is shown below.)

5 [As to claims 1, 3, 8; Cited reference 1]

(Remark)

In the semiconductor device and display comprising the same disclosed in the first embodiment (Fig. 1) of the cited reference 1, a level shifter part corresponds to "a data capturing part" and a latch part corresponds to "a latch part" in the present invention, respectively.

In the above-described level shifter part, since a data signal (a digital signal) is captured in response to a synchronous signal (a clock signal ϕ) and an output V_A changes in accordance with a voltage level of the captured data signal, the operation can be considered to be a kind of "determining a data signal" operation.

Furthermore, the data capturing part is connected to a power source when data are captured and determined.

20

The list of cited reference

1. Japan Patent Laying Open No.09-244585

[Reason 2]

25 This application does not comply with the

requirements under Patent Law Section 36(6)(ii) in the description of the claims for the reason mentioned below.

***Remark**

5 Although "determining said data signal" is recited in claim 1, it is difficult to specify the invention which is intended to have a patent since it is unclear what determining process or what determining circuit constitution is meant.

10 Moreover, although "substantially connected to a power source" is recited, it is difficult to specify the invention which is intended to have a patent since it is unknown what situation corresponds to be substantially connected to a power source and what situation corresponds
15 not to be substantially connected to a power source, as a result, the intended circuit constitution is unclear.

 Therefore, the inventions defined in claims 1-8 are indefinite.

20

 If you would like to ask about this Notification of Reason(s) for Rejection or to set a meeting on this case, contact Mr. Hashimoto. Tel 03-3581-1101(ext.3225) FAX 03-3592-8858

25

Record of the result of prior art search

• Technical field(s) to be searched

Int. Cl(7) G09G3/20

• Prior Art references

- 5 1. Japanese Patent Laying Open No.2000-221929
 2. Japanese Patent Laying Open No.2000-075842
 3. Japanese Patent Laying Open No.11-085111
 4. Japanese Patent Laying Open No.11-249621

 The record is not a component(s) of the reason(s) for
10 rejection.

拒絶理由通知書



特許出願の番号	特願2001-098151
起案日	平成16年 1月29日
特許庁審査官	橋本 直明 9707 2G00
特許出願人代理人	宮園 博一 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

[理由1]

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の記事に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

【請求項1, 3, 8について; 引用文献1】

(備考)

引用文献1の第1の実施形態(図1)に開示された半導体装置及びそれを備えた表示装置において、レベルシフト部が本願発明の「データ取り込み部」に相当し、ラッチ部が本願発明の「ラッチ部」に相当する。

上記レベルシフト部では、同期信号(クロック信号 ϕ)に応答して、データ信号(デジタル信号)を取り込んでいるし、当該取り込まれたデータ信号の電圧レベルに応じて出力 V_A が変わるから、その動作が「データ信号を判定する」動作の一種に該当すると認められる。

さらに、データ取り込み部は、データ取り込み時及びデータの判定時に電源と接続されている。

引 用 文 献 等 一 覧

1. 特開平09-244585号公報

[理由2]

この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

請求項1に「前記データ信号を判定する」とあるが、どのような判定工程を行うことを意味するのか、或いは、どのような判定回路構成を意味しているのかが不明であるため、特許を受けようとする発明の特定が困難である。

また、「実質的に電源と接続されている」とあるが、如何なる状態が実質的に電源と接続されていることに相当し、如何なるどのような状態が実質的に電源と接続されていないことに相当するのかが分からず、その意味する回路構成が不明であるから、特許を受けようとする発明の特定が困難である。

よって、請求項1－8に係る発明は明確でない。

この拒絶理由通知の内容に問い合わせがある場合、または、この案件について面接を希望する場合は、特許審査第一部ナノ物理の橋本までご連絡下さい。

TEL 03-3581-1101 (内線3225)、FAX 03-3592-8858

先行技術文献調査結果の記録

・調査した分野 IPC第7版 G09G3/20

・先行技術文献

1. 特開2000-221929号公報
2. 特開2000-075842号公報
3. 特開平11-085111号公報
4. 特開平11-249621号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

57810-035 3/19/02
Shoichi ro Matsumoto
March 27, 2002

日 本 国 特 許 庁

JAPAN PATENT OFFICE McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-098151

出 願 人

Applicant(s):

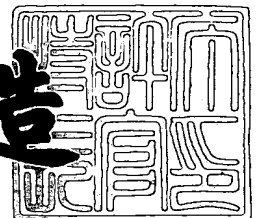
三洋電機株式会社



2001年12月28日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3112257

【書類名】 特許願

【整理番号】 NBC1012006

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 松本 昭一郎

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびそれを備えた表示装置

【特許請求の範囲】

【請求項 1】 所定の振幅のデータ信号を入力するためのデータ入力部と、
前記データ信号を取り込むための同期信号を供給する制御部と、

前記制御部からの同期信号に応答して、前記所定の振幅のデータ信号を取り込んで前記データ信号を判定するとともに、前記所定の振幅のデータ信号を前記所定の振幅とは異なる振幅にレベル変換するためのデータ取り込み部と、

前記データ取り込み部とは別個に設けられ、前記データ取り込み部に取り込んだデータ信号を保持するためのラッチ部とを備え、

前記データ取り込み部は、少なくとも前記データ信号の取り込み時および前記データの判定時に実質的に電源と接続されている、半導体装置。

【請求項 2】 前記データ入力部と前記制御部と前記データ取り込み部とをそれぞれ 2 組含み、前記ラッチ部を 1 組含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記データ取り込み部は、前記データ入力部からみて、非対称な回路構成を有する、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記データ入力部は、

データ線と反転データ線とを含み、

前記データ取り込み部は、

ソース端子およびドレイン端子の一方が前記電源に接続されるとともに、他方が第 1 ノードに電氣的に接続され、ゲート端子が前記制御部に接続される第 1 p チャンネルトランジスタと、

ソース端子およびドレイン端子の一方が前記第 1 ノードに接続されるとともに、他方が前記反転データ線に電氣的に接続され、かつ、ゲート端子が前記データ線に電氣的に接続される第 1 n チャンネルトランジスタとを含み、

前記ラッチ部は、前記第 1 ノードの電位を反転するための第 1 インバータ回路と、前記第 1 インバータ回路の出力端子に接続された第 2 ノードと、前記第 1 インバータ回路の出力端子および入力端子に接続された第 2 インバータ回路とを含み、

前記データ線がLレベルの時には、前記第1 pチャネルトランジスタがオン状態になるとともに、前記第1 nチャネルトランジスタがオフ状態になることによって、前記第1 ノードがHレベルの電位になるとともに、前記第2 ノードがLレベルになり、

前記データ線がHレベルの時には、前記第1 pチャネルトランジスタがオン状態になるとともに、前記第1 nチャネルトランジスタがオン状態になることによって、前記第1 ノードがLレベルの電位になるとともに、前記第2 ノードがHレベルになる、請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記データ取り込み部は、

前記第1 pチャネルトランジスタと、前記第1 ノードとの間に配置され、ゲート端子が前記データ線に接続される第2 pチャネルトランジスタをさらに含む、請求項4に記載の半導体装置。

【請求項6】 前記データ取り込み部は、

ソース端子およびドレイン端子の一方が前記電源に接続されるとともに、他方が前記第1 nチャネルトランジスタのゲート端子に接続され、ゲート端子が前記制御部に接続される第3 pチャネルトランジスタと、

ソース端子およびドレイン端子の一方が前記第3 pチャネルトランジスタに接続されるとともに、他方が前記データ線に電氣的に接続され、かつ、ゲート端子が前記データ線に電氣的に接続される第4 pチャネルトランジスタとをさらに含む、請求項4または5に記載の半導体装置。

【請求項7】 前記制御部は、前記データ入力部と前記データ取り込み部との間に配置され、データの取り込み時に、前記同期信号に応答してオンする第1スイッチング素子を含む、請求項1～6のいずれか1項に記載の半導体装置。

【請求項8】 請求項1～7のいずれか1項に記載の半導体装置を備えた表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびそれを備えた表示装置に関し、特に、表示装置

におけるビデオ信号の取り込みなどに用いられる半導体装置およびそれを備えた表示装置に関する。

【0002】

【従来の技術】

従来、低振幅信号をある起動信号によって取り込むとともに、信号電圧のレベル変換とそのデータを保持する機能を持つ回路が知られている。このような回路は、たとえば、メモリにおいては、アドレスやデータの取り込みを行うとともに、そのデータを保持しておく回路として使用される。また、このような回路は、液晶表示装置（Liquid Crystal Display：LCD）や有機EL（Electro Luminescence）表示装置におけるビデオ信号の取り込みとデータの保持などにも用いられる。本明細書においては、LCDのビデオ信号の取り込みおよびデータの保持を行うための回路に例をとって説明する。

【0003】

近年、ポリシリコンTFT（Thin Film Transistor）を用いたLCDの需要が増大している。それに伴って、LCDシステムの低消費電力化とデジタルインターフェース化が要求されてきている。

【0004】

このうち、低消費電力化を行うためには、電源回路関係の高効率化と駆動電圧の低電圧化を行う必要がある。ポリシリコンTFTは、非晶質シリコンTFTに比べて高性能であるため、LCDに応用され、小型のLCDパネルを中心に実用化されている。しかし、ポリシリコンTFTは、非晶質シリコンTFTに比べると高性能であるが、シリコン基板の表面に形成した単結晶シリコントランジスタに比べると性能が劣る。このため、動作電圧が3V程度の単結晶シリコントランジスタと同程度の駆動電流を得るためには、ポリシリコンTFTでは、12～15Vの電源電圧が必要である。このため、LCDの制御ICの電源は3V程度でありながら、12～15Vに電圧変換するレベル変換を行う回路が必要であった。

【0005】

そこで、従来では、電圧のレベル変換をLCDパネルの内部の回路で行うとともに、LCDパネルには3V系の信号のみ入力する方法が採用されている。レベル変換回路をLCDパネルに内蔵することによって、パネル内部の必要な箇所のみレベル変換した高電圧を印加することが可能であり、それ以外の部分には3V系の電圧を供給することが可能になる。これにより、低消費電力化を行うことが可能になる。

【0006】

また、LCD（液晶表示装置）では、液晶材料の両端に電圧を印加することにより液晶材料の透過率を変動させることによって明暗を表示させている。この場合、ビデオデータを印加する表示画素の一方の電極とは異なる他方の電極（対極）を交流動作させることによって、ビデオデータの振幅を半分にする対極AC駆動方式が採用されるようになってきた。これにより、ビデオ信号の低電圧化を図ることができるので、外部ICの低消費電力化とパネル内部の低消費電力化を図ることができる。

【0007】

上記のような低消費電力化が図られることによって、ポリシリコンTFTの性能に関わる電圧以外のクロック信号やビデオ信号の電圧を低電圧化することが可能となる。

【0008】

また、従来では、ビデオ信号の低電圧化と、近年のインターネットやデジタル信号技術の急速な発展とによって、扱う信号のデジタル化（デジタルインターフェース化）の要求が増加してきている。特に、ビデオ信号は、アナログ信号であるので、デジタル化の流れからは扱いにくい信号であった。そこで、ビデオデータをデジタル化するために、LCDパネルの内部にデジタルビデオ信号をアナログビデオ信号に変換するDAC（Digital Analog Converter）を内蔵する技術が提案されている。

【0009】

上記のような観点から、近年では、ビデオ信号を3V系のデジタル信号でLCDパネルに入力するとともに、パネル内部でデジタル信号の取り込みや電源電圧

のレベル変換が行える回路の開発が始まっている。このような回路は、たとえば、2000 IEEE International Solid-State Circuits Conferenceの発表番号TA11.5 (pp. 188-189) などに開示されている。

【0010】

図10は、上記文献に開示された従来のビデオ信号の取り込み回路の回路構成を示した回路図である。図10を参照して、従来のデータ取り込み部101は、2つのpチャネルトランジスタPT101およびPT102と、2つのnチャネルトランジスタNT101およびNT102とを含んでいる。pチャネルトランジスタPT101およびPT102のソース端子およびドレイン端子の一方は、スイッチSW3を介して、電源電圧VDDに接続されている。pチャネルトランジスタPT101のソース端子およびドレイン端子の他方は、nチャネルトランジスタNT101のソース端子およびドレイン端子の一方に接続されている。nチャネルトランジスタ101のソース端子およびドレイン端子の他方は、GNDに接続されている。pチャネルトランジスタPT101およびnチャネルトランジスタNT101のゲート端子は、スイッチSW1を介して、データ線（Data線）に接続されている。

【0011】

pチャネルトランジスタPT102のソース端子およびドレイン端子の他方は、nチャネルトランジスタNT102のソース端子およびドレイン端子の一方に接続されている。nチャネルトランジスタNT102のソース端子およびドレイン端子の他方は、GNDに接続されている。pチャネルトランジスタPT102およびnチャネルトランジスタNT102のゲート端子は、スイッチSW2を介して、反転データ線（/Data線）に接続されている。

【0012】

上記した構成を有する従来のデータ取り込み部101は、データを判別するデータセンシング機能と、電源のレベル変換を行う機能と、取り込んだデータのラッチを行う機能との3つの機能を有している。また、スイッチSW1およびSW2は、サンプリングパルス（Sampling Pulse）に同期して、オン

することによって、データの取り込みを開始する機能を有する。また、スイッチ SW3 は、サンプリングパルスに同期して、オフ状態となり、データ取り込み時にデータ取り込み部 101 への電源 (VDD) からの電荷供給を停止する機能を有する。また、出力段の 2 つのインバータ回路 131 および 132 は、取り込みデータの波形成形を行うとともに、次段へ信号を伝える機能を有する。

【0013】

図 11 は、図 10 に示した従来のビデオ信号のデータ取り込み回路の動作タイミングと動作波形とを示した図である。図 10 および図 11 を参照して、以下に従来のビデオ信号の取り込み回路の動作について説明する。

【0014】

まず、図 11 に示すように、LCD の表示パネル自体の動作開始を意味するスタート信号 (Start Signal) (図 10 には図示せず) が H レベルになる。これにより、水平駆動回路のスタートを意味する STH 信号が H パルスとなる。この STH 信号の発生によって、水平方向基本クロックである HCK1 および HCK2 に同期して、ビデオデータ (Data, /Data) の取り込みを行うサンプリングパルスが H パルスとなる。これにより、スイッチ SW1 と SW2 とがオン状態になるとともに、スイッチ SW3 がオフ状態となる。このため、データ取り込み部 101 から電源 (VDD) が切り離された状態で、データ取り込み部 101 へのデータの入力が行われる。

【0015】

そして、データ取り込み部 101 において、データの判定が行われる。データ取り込み部 101 において、データの判定が終了し、ノード A およびノード B が、Data, /Data に対応した電圧になったのを見計らって、スイッチ SW3 がオン状態となる。これにより、データ取り込み部 101 と電源 (VDD) とが接続されて、取り込みデータの確定、電圧のレベル変換およびデータの保持が行われる。

【0016】

【発明が解決しようとする課題】

図 10 に示した従来のビデオの信号取り込み回路では、データ取り込み時およ

びデータ判定時に、データ取り込み部 1 0 1 が電源 (VDD : 9 V) から切り離されるため、データ取り込み部 1 0 1 の回路動作が不安定になる場合がある。この場合には、安定したデータの取り込みおよび判定と、安定したデータの保持とを行うのが困難になる場合があるという問題点があった。また、図 1 0 に示した従来のビデオ信号の取り込み回路では、データ取り込み部 1 0 1 が入力データに対して対称な回路構成を有しているため、レイアウトの自由度が小さく、その結果、レイアウト面積を最小化する場合の支障になるという問題点もあった。

【0 0 1 7】

この発明は上記のような課題を解決するためになされたものであり、

この発明の 1 つの目的は、安定したデータの取り込み動作を行うことができるとともに、取り込んだデータを安定して保持することが可能な半導体装置を提供することである。

【0 0 1 8】

この発明のもう 1 つの目的は、上記の半導体装置において、レイアウト面積の最小化に適した半導体装置を提供することである。

【0 0 1 9】

この発明のさらにもう 1 つの目的は、上記の半導体装置において、データの取り込みを高速かつ確実に行うことである。

【0 0 2 0】

この発明の他の目的は、上記したような半導体装置を備えた表示装置を提供することである。

【0 0 2 1】

【課題を解決するための手段】

請求項 1 における半導体装置は、所定の振幅のデータ信号を入力するためのデータ入力部と、データ信号を取り込むための同期信号を供給する制御部と、制御部からの同期信号に応答して、所定の振幅のデータ信号を取り込んでデータ信号を判定するとともに、所定の振幅のデータ信号をその所定の振幅とは異なる振幅にレベル変換するためのデータ取り込み部と、データ取り込み部とは別個に設けられ、データ取り込み部に取り込んだデータ信号を保持するためのラッチ部とを

備えている。そして、データ取り込み部は、少なくともデータ信号の取り込み時およびデータの判定時に実質的に電源と接続されている。

【0022】

請求項1では、上記のように、少なくともデータ信号の取り込み時およびデータの判定時に、データ取り込み部を実質的に電源と接続することによって、データ信号の取り込み時およびデータの判定時に、回路動作が不安定になることがないので、安定したデータの取り込みおよびデータの判定を行うことができる。また、取り込んだデータ信号を保持するためのラッチ部をデータ取り込み部とは別個に設けることによって、データ取り込み部により取り込んだデータを安定して保持することができる。

【0023】

請求項2における半導体装置は、請求項1の構成において、データ入力部と制御部とデータ取り込み部とをそれぞれ2組含み、ラッチ部を1組含む。請求項2では、このようにデータ取り込み部を2組設けることによって、データ取り込み部が1組である場合に比べて、データ判定の誤りが発生しにくくなるので、データの取り込みおよび判定の安定性を増加させることができる。

【0024】

請求項3における半導体装置は、請求項1または2の構成において、データ取り込み部は、データ入力部からみて、非対称な回路構成を有する。請求項3では、このように構成することによって、データ入力部からみて、対称な回路構成にする場合に比べて、レイアウトの自由度が大きくなるので、レイアウト面積の最小化を行いやすくすることができる。

【0025】

請求項4における半導体装置は、請求項1～3のいずれかの構成において、データ入力部は、データ線と反転データ線とを含み、データ取り込み部は、ソース端子およびドレイン端子の一方が電源に接続されるとともに、他方が第1ノードに電氣的に接続され、ゲート端子が制御部に接続される第1pチャネルトランジスタと、ソース端子およびドレイン端子の一方が第1ノードに接続されるとともに、他方が反転データ線に電氣的に接続され、かつ、ゲート端子がデータ線に電

氣的に接続される第1 nチャネルトランジスタとを含む。また、ラッチ部は、第1 ノードの電位を反転するための第1 インバータ回路と、第1 インバータ回路の出力端子に接続された第2 ノードと、第1 インバータ回路の出力端子および入力端子に接続された第2 インバータ回路とを含む。そして、データ線がLレベルの時には、第1 pチャネルトランジスタがオン状態になるとともに、第1 nチャネルトランジスタがオフ状態になることによって、第1 ノードがHレベルの電位になるとともに、第2 ノードがLレベルになる。また、データ線がHレベルの時には、第1 pチャネルトランジスタがオン状態になるとともに、第1 nチャネルトランジスタがオン状態になることによって、第1 ノードがLレベルの電位になるとともに、第2 ノードがHレベルになる。請求項4では、このように構成することによって、容易に安定したデータの取り込みおよび保持を行うことができる。

【0026】

請求項5における半導体装置は、請求項4の構成において、データ取り込み部は、第1 pチャネルトランジスタと、第1 ノードとの間に配置され、ゲート端子がデータ線に接続される第2 pチャネルトランジスタをさらに含む。請求項5では、このように第2 pチャネルトランジスタを設けることによって、データ線がHレベルの時に、第2 pチャネルトランジスタの活性化の度合いが低くなる（抵抗が大きく）になるので、第1 pチャネルトランジスタから第1 ノードへの電荷供給が抑制される。これにより、電流が流れすぎて第1 ノードがHレベルになりやすくなるのを防止することができる。このため、データ線がHレベルの時に、第1 ノードをLレベルになりやすくすることができる。その結果、より回路動作の安定性を向上させることができる。

【0027】

請求項6における半導体装置は、請求項4または5の構成において、データ取り込み部は、ソース端子およびドレイン端子の一方が電源に接続されるとともに、他方が第1 nチャネルトランジスタのゲート端子に接続され、ゲート端子が制御部に接続される第3 pチャネルトランジスタと、ソース端子およびドレイン端子の一方が第3 pチャネルトランジスタに接続されるとともに、他方がデータ線に電氣的に接続され、かつ、ゲート端子がデータ線に電氣的に接続される第4 p

チャンネルトランジスタとをさらに含む。請求項6では、このように第3および第4 pチャンネルトランジスタを設けることによって、第1 nチャンネルトランジスタのゲート端子への電圧が、電源から供給されるとともに、データ線がHレベルの時に、第4 pチャンネルトランジスタの活性化の度合いが低くなる（抵抗が大きくなる）ので、第1 nチャンネルトランジスタのゲート電位が高くなる。これにより、第1 nチャンネルトランジスタがオンしやすくなる。その結果、データの取り込みを高速かつ確実に行うことができる。

【0028】

請求項7における半導体装置は、請求項1～6のいずれかの構成において、制御部は、データ入力部とデータ取り込み部との間に配置され、データの取り込み時に、同期信号に応答してオンする第1スイッチング素子を含む。請求項7では、このように構成することによって、データ取り込み時以外は、データ入力部がデータ取り込み部から切り離されるので、データ入力部を構成するデータ線および反転データ線の負荷バランスを均一にすることができる。

【0029】

請求項8における表示装置は、請求項1～7のいずれかに記載の半導体装置を備えている。請求項8では、このように構成することによって、たとえば、表示装置におけるビデオ信号の取り込み回路として請求項1～7のいずれかに記載の半導体装置を用いれば、安定したデータの取り込みを行うことができる。

【0030】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。なお、以下の実施形態では、本発明の半導体装置を液晶表示装置（LCD）のビデオデータの取り込み回路として用いる場合について説明するが、本発明は、これに限定されるものではない。

【0031】

（第1実施形態）

図1は、本発明の第1実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。図2は、図1に示した第1実施形態の半導体装置

の動作タイミングと動作波形とを示した図である。

【0032】

まず、図1を参照して、この第1実施形態のデータ取り込み回路は、データ取り込み部1と、制御部2と、データラッチ部3とを備えている。なお、データラッチ部3は、本発明の「ラッチ部」の一例である。データ取り込み部1は、データの判定を行うセンシング機能と、電源電圧のレベル変換を行う機能との2つの機能を有している。

【0033】

そのデータ取り込み部1は、pチャンネルトランジスタPT1と、nチャンネルトランジスタNT1との2つのトランジスタを含んでいる。pチャンネルトランジスタPT1のソース端子およびドレイン端子の一方は、電源電圧VDD（9V）の端子に接続されており、他方は、ノードND1に接続されている。nチャンネルトランジスタNT1のソース端子およびドレイン端子の一方は、ノードND1に接続されており、他方は、反転データ線（／Data線）に接続されている。pチャンネルトランジスタPT1のゲート端子は、制御部2に接続されており、nチャンネルトランジスタNT1のゲート端子は、データ線（Data線）に接続されている。

【0034】

なお、pチャンネルトランジスタPT1は、本発明の「第1pチャンネルトランジスタ」の一例であり、nチャンネルトランジスタNT1は、本発明の「第1nチャンネルトランジスタ」の一例である。また、ノードND1は、本発明の「第1ノード」の一例である。また、データ線（Data線）および反転データ線（／Data線）は、本発明の「データ入力部」の一例である。

【0035】

また、制御部2は、データ取り込み部1に同期信号（／Sampling Pulse）を供給する機能を有する。この制御部2は、トランスファゲート21と、インバータ回路22とを含む。トランスファゲート21は、pチャンネルトランジスタとnチャンネルトランジスタのソース端子およびドレイン端子が互いに接続された構成を有する。インバータ回路22の入力端子は、同期信号線に接続さ

れており、インバータ回路22の出力端子は、トランスファゲート21のnチャネルトランジスタ側のゲート端子に接続されている。また、トランスファゲート21のpチャネルトランジスタ側のゲート端子は、同期信号線に接続されている。

【0036】

データラッチ部3は、データを保持するための機能を有する。このデータラッチ部3は、インバータ回路31とインバータ回路32とを有する。なお、このインバータ回路31およびインバータ回路32は、それぞれ、本発明の「第1インバータ回路」および「第2インバータ回路」の一例である。インバータ回路31の入力端子は、制御部2のトランスファゲート21を介してデータ取り込み部1のノードND1に接続されている。インバータ回路31の出力端子は、ノードND2に接続されている。このノードND2は、本発明の「第2ノード」の一例である。また、ノードND2は、インバータ回路32の入力端子に接続されており、インバータ回路32の出力端子は、インバータ回路31の入力端子に接続されている。

【0037】

上記のような構成を有する第1実施形態のデータ取り込み回路の動作について、図1および図2を参照して説明する。

【0038】

まず、DataがHレベル(3V)で、 \neg DataがLレベル(0V)のデータである場合、nチャネルトランジスタNT1はオン状態にある。このため、ノードND1にはLレベルの電位が現れている。この状態で、LCDの表示パネル自体の動作開始を意味するスタート信号(Start Signal)がHレベルになることによって、水平駆動回路のスタートを意味するSTH信号がHパルスとなる。このSTH信号の発生によって、水平方向基本クロックであるHCK1およびHCK2に同期して、ビデオデータ(Data, \neg Data)の取り込みを行うプリングサンプリングパルス(\neg Sampling Pulse)がLレベルになる。 \neg Sampling PulseがLレベルになると、制御部2からpチャネルトランジスタPT1に同期信号(\neg Sampling Pul

s e) が与えられる。これにより、pチャネルトランジスタPT1からnチャネルトランジスタNT1に電流が流れる。

【0039】

この場合、pチャネルトランジスタPT1およびnチャネルトランジスタNT1に電流が流れた場合に、ノードND1がLレベルになるように、pチャネルトランジスタPT1とnチャネルトランジスタNT1との抵抗比を設計している。すなわち、PT1の抵抗をNT1よりも大きくなるように設計している。

【0040】

上記の場合、ノードND1がLレベルであるので、制御部2のトランスファゲート21を介して、インバータ回路31の入力端子にはLレベルが入力される。これにより、ノードND2は、Hレベルになる。そして、このノードND2のHレベルがデータラッチ部3によって保持される。

【0041】

また、DataがLレベル(0V)で、/DataがHレベル(3V)のデータである場合、データ取り込み部1のnチャネルトランジスタNT1はオフ状態である。この場合に、/Sampling PulseがLレベルになると、制御部2からデータ取り込み部1のpチャネルトランジスタPT1のゲート端子に同期信号(/Sampling Pulse)が供給される。これにより、pチャネルトランジスタPT1がオン状態になる。この状態で、ノードND1のHレベルは、電源電圧VDD(9V)によってレベル変換されて電圧9Vになる。

【0042】

ノードND1がHレベルである場合には、制御部2のトランスファゲート21を介してインバータ回路31の入力端子にHレベルの信号が与えられる。これにより、インバータ回路31の出力端子に接続されたノードND2はLレベルになる。その結果、ノードND2のLレベルの信号がデータラッチ部3によって保持される。

【0043】

第1実施形態では、上記のように、データ信号の取り込み時およびデータ判定時に、データ取り込み部1を電源電圧VDDと接続するように構成することによ

って、データ信号の取り込み時およびデータの判定時に、回路動作が不安定になることがないので、安定したデータの取り込みおよびデータの判定を行うことができる。また、取り込んだデータ信号を保持するためのデータラッチ部 3 をデータ取り込み部 1 とは別個に設けることによって、データ取り込み部 1 により取り込んだデータを安定して保持することができる。

【 0 0 4 4 】

また、第 1 実施形態では、データ入力部（Data 線、/Data 線）からみて、データ取り込み部 1 を非対称な回路構成とすることによって、図 1 0 に示した従来のデータ入力部からみて対称な回路構成を有する場合に比べて、レイアウトの自由度が大きくなるので、レイアウト面積の最小化を行いやすくすることができる。

【 0 0 4 5 】

（第 2 実施形態）

図 3 は、本発明の第 2 実施形態によるデータ取り込み回路（半導体装置）の回路構成を示した回路図である。図 3 を参照して、この第 2 実施形態では、図 1 に示した第 1 実施形態のデータ取り込み回路において、データ取り込み部 1 に、p チャンネルトランジスタ P T 2 を追加した回路構成である。なお、p チャンネルトランジスタ P T 2 は、本発明の「第 2 p チャンネルトランジスタ」の一例である。第 2 実施形態のその他の構成は、上記した第 1 実施形態と同様である。

【 0 0 4 6 】

第 2 実施形態では、上記のように、p チャンネルトランジスタ P T 2 をデータ取り込み部 1 に追加することによって、データ線が H レベルの時に、p チャンネルトランジスタ P T 2 の活性化の度合いが低くなる（抵抗が大きく）になるので、p チャンネルトランジスタ N T 1 からノード N D 1 への電荷供給が抑制される。これにより、電流が流れすぎてノード N D 1 が H レベルになりやすくなるのを防止することができる。このため、データ線が H レベルの時に、ノード N D 1 を L レベルになりやすくすることができる。その結果、より回路動作の安定性を向上させることができる。

【 0 0 4 7 】

(第3実施形態)

図4は、本発明の第3実施形態によるデータ取り込み回路（半導体装置）の回路構成を示した回路図である。図4を参照して、この第3実施形態では、図3に示した第2実施形態の構成において、pチャネルトランジスタPT3およびPT4をデータ取り込み部1に追加した例である。なお、pチャネルトランジスタPT3は、本発明の「第3 pチャネルトランジスタ」の一例であり、pチャネルトランジスタPT4は、本発明の「第4 pチャネルトランジスタ」の一例である。第3実施形態のその他の構成は、上記した第2実施形態と同様である。

【0048】

この第3実施形態では、図4に示すように、pチャネルトランジスタPT3のソース端子およびドレイン端子の一方は、電源電圧VDDの端子に接続されており、他方はpチャネルトランジスタPT4のソース端子およびドレイン端子の一方に接続されている。pチャネルトランジスタPT4のソース端子およびドレイン端子の他方は、GNDに接続されている。また、pチャネルトランジスタPT3とpチャネルトランジスタPT4との接続部は、nチャネルトランジスタNT1のゲート端子に接続されている。pチャネルトランジスタPT2およびPT4のゲート端子は、共に、データ線（Data線）に接続されている。pチャネルトランジスタPT3のゲート端子は、制御部2の同期信号線に接続されている。

【0049】

この第3実施形態では、上記のように、データ取り込み部1に、pチャネルトランジスタPT3およびPT4を追加することのによって、nチャネルトランジスタNT1のゲート端子への電圧が、電源電圧VDD（9V）から供給されるとともに、データ線がHレベルの時に、pチャネルトランジスタPT4の活性化の度合いが低くなる（抵抗が大きく）なるので、nチャネルトランジスタNT1のゲート電位が高くなる。これにより、上記した第1実施形態および第2実施形態に比べて、nチャネルトランジスタNT1がオンしやすくなる。その結果、データの取り込みを高速かつ確実に行うことができる。

【0050】

なお、この第3実施形態では、上記した第1および第2実施形態の場合とサン

プリングパルスの極性を変更している。すなわち、サンプリングパルスをHレベルでアクティブになるようにするとともに、インバータ回路22を介してpチャネルトランジスタを駆動するように構成することによって、サンプリングパルスで直接駆動する素子数を減少させることができる。これにより、サンプリングパルスの負荷を軽減することができる。

【0051】

(第4実施形態)

図5は、本発明の第4実施形態によるデータ取り込み回路(半導体装置)の回路構成を示した回路図である。図5を参照して、この第4実施形態では、図4に示した第3実施形態の構成において、pチャネルトランジスタPT4のソース端子およびドレイン端子の他方の端子を、接地電位(GND)からゲート端子と同じデータ線(Data線)に接続している。

【0052】

第4実施形態では、このように、pチャネルトランジスタPT4のソース端子およびドレイン端子の他方の端子をデータ線(Data線)に接続することによって、データ線(Data線)のデータがHレベルである場合に、nチャネルトランジスタNT1のゲート電位が、図4に示した第3実施形態に比べて高い電位となるので、nチャネルトランジスタNT1を、第3実施形態よりもさらにオンしやすくすることができる。その結果、データの取り込みをより高速にかつ確実に行うことができる。これにより、低消費電流化を実現することができる。

【0053】

(第5実施形態)

図6は、本発明の第5実施形態によるデータ取り込み回路(半導体装置)の回路構成を示した回路図である。図6を参照して、この第5実施形態では、図5に示した第4実施形態の構成において、pチャネルトランジスタPT2を削除した回路構成である。すなわち、この図6に示した第5実施形態は、図1に示した第1実施形態の回路構成において、pチャネルトランジスタPT3およびPT4を追加することによって、nチャネルトランジスタNT1のゲート電位を制御する回路構成である。

【0054】

この第5実施形態では、pチャネルトランジスタPT3およびPT4を追加することによって、第3実施形態と同様、nチャネルトランジスタNT1のゲート端子への電圧が、電源電圧VDD（9V）から供給されるとともに、データ線がHレベルの時に、pチャネルトランジスタPT4の活性化の度合いが低くなる（抵抗が大きく）なるので、nチャネルトランジスタNT1のゲート電位が高くなる。これにより、上記した第1実施形態に比べて、nチャネルトランジスタNT1がオンしやすくなる。その結果、データの取り込みを高速かつ確実に行うことができる。

【0055】

（第6実施形態）

図7は、本発明の第6実施形態によるデータ取り込み回路（半導体装置）の回路構成を示した回路図である。図7を参照して、この第6実施形態では、図5に示した第4実施形態において、制御部2におけるデータ転送機能を削除するとともに、データ入力をnチャネルトランジスタNT2およびNT3によって制御する回路構成である。つまり、この第6実施形態では、データ取り込み部1およびデータラッチ部3の構成は、図5に示した第4実施形態と同様であり、制御部2の構成のみが異なる。

【0056】

この第6実施形態では、図7に示すように、制御部2は、サンプリングパルスの信号を反転するためのインバータ回路22と、データ取り込み部1とデータ入力部（Data線、/Data線）との間に配置され、データの取り込み時に、サンプリングパルスに応答してオンするnチャネルトランジスタNT2およびNT3とを含んでいる。なお、このnチャネルトランジスタNT2およびNT3は、本発明の「第1スイッチング素子」の一例である。

【0057】

第6実施形態では、上記のように、制御部2にnチャネルトランジスタNT2およびNT3を設けることによって、データ取り込み時以外は、データ入力部とデータ取り込み部1とが切り離されるので、データ入力部を構成するデータ線（

D a t a 線) および反転データ線 (／D a t a 線) の負荷バランスを均一にすることができる。

【0058】

なお、この第6実施形態では、上記した第1～第5実施形態と同様、データ信号の取り込み時およびデータ判定時に、データ取り込み部1を電源電圧VDDと接続するように構成することによって、データ信号の取り込み時およびデータの判定時に、回路動作が不安定になることがないので、安定したデータの取り込みおよびデータの判定を行うことができる。また、取り込んだデータ信号を保持するためのデータラッチ部3をデータ取り込み部とは別個に設けることによって、データ取り込み部1により取り込んだデータを安定して保持することができる。

【0059】

また、第6実施形態では、上記した第1～第5実施形態と同様、データ入力部(D a t a 線, ／D a t a 線) からみて、データ取り込み部1を非対称な回路構成とすることによって、図10に示した従来のデータ入力部からみて対称な回路構成を有する場合に比べて、レイアウトの自由度が大きくなるので、レイアウト面積の最小化を行いやすくすることができる。

【0060】

また、この第6実施形態では、上記した第2～第4実施形態と同様、データ取り込み部1のpチャネルトランジスタPT1と、nチャネルトランジスタNT1との間にpチャネルトランジスタPT2を追加することによって、データ線(D a t a 線) がHレベルの時に、pチャネルトランジスタPT2の活性化の度合いが低くなる(抵抗が大きく) なるので、pチャネルトランジスタPT1からノードND1への電荷供給が抑制される。これにより、電流が流れすぎてノードND1がHレベルになりやすくなるのを防止することができる。このため、データ線がHレベルの時に、ノードND1をLレベルになりやすくすることができる。その結果、より回路動作の安定性を向上させることができる。

【0061】

また、この第6実施形態では、上記第3～第5実施形態と同様、データ取り込み部1に、nチャネルトランジスタNT1のゲート電位を制御するためのpチャ

ネルトランジスタPT3およびPT4を設けることによって、nチャネルトランジスタNT1のゲート端子への電圧が、電源電圧VDD（9V）から供給されるとともに、データ線がHレベルの時に、pチャネルトランジスタPT4の活性化の度合いが低くなる（抵抗が大きく）なるので、nチャネルトランジスタNT1のゲート電位が高くなる。これにより、上記した第1実施形態および第2実施形態に比べて、nチャネルトランジスタNT1がオンしやすくなる。その結果、データの取り込みを高速かつ確実に行うことができる。

【0062】

（第7実施形態）

図8は、本発明の第7実施形態によるデータ取り込み回路（半導体装置）の回路構成を示した回路図である。図8を参照して、この第7実施形態では、図7に示した第6実施形態の構成において、サンプリングパルスの極性を変更した場合の回路構成例である。このように構成することによっても、上記した第6実施形態と同様の効果を得ることができる。

【0063】

（第8実施形態）

図9は、本発明の第8実施形態によるデータ取り込み回路（半導体装置）の回路構成を示した回路図である。図9を参照して、この第8実施形態では、図7に示した第6実施形態の構成を基本に、データ取り込み部と制御部とを2組用いることともに、データラッチ部を1組用いた回路構成例である。すなわち、この第8実施形態では、同様の構成を有する2つのデータ取り込み部1aおよび1bと、nチャネルトランジスタNT2およびNT3を2組含む制御部2と、1組のデータラッチ部3とを備えている。なお、データ取り込み部1bにおけるノードND3およびノードND4は、それぞれ、本発明の「第1ノード」および「第2ノード」の一例である。

【0064】

すなわち、第8実施形態では、DataがHレベルである場合には、データ取り込み部1aのノードND1はLレベルになるとともに、ノードND2はHレベルになる。この場合、データ取り込み部1bのノードND3はHレベルになると

ともに、ノードND4はLレベルになる。このように、ノードND2とノードND4とを互いに異なる電位（HレベルまたはLレベル）になるように構成することによって、データ取り込みの安定性を増加させることができる。つまり、2組のデータ取り込み部1a、1bを設けることによって、データ取り込み部が1組である場合に比べて、データ判定の誤りが発生しにくくなるので、データの取り込みおよび判定の安定性を増加させることができる。これにより、この第8実施形態の回路構成では、電源電圧を下げた場合やプロセスのバラツキが大きい場合のように回路動作が不安定になりやすい条件下においても、安定した動作を行うことができる。

【0065】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0066】

たとえば、上記第8実施形態では、第6実施形態の回路構成を基本としてデータ取り込み部と制御部を2組、データラッチ部を1組設けた回路構成を示したが、本発明はこれに限らず、他の実施形態（たとえば第5実施形態）の回路構成を基本として、データ取り込み部と制御部とを2組、データラッチ部を1組設けた回路構成にしてもよい。

【0067】

また、上記実施形態では、本発明の半導体装置を液晶表示装置（LCD）におけるビデオ信号の取り込み回路に適用した場合について説明したが、本発明はこれに限らず、本発明の半導体装置を、低振幅信号をある起動信号によって取り込み、信号電圧のレベル変換とそのデータを保持する機能を持つ回路を必要とする部分に広く適用可能である。たとえば、メモリにおけるアドレスやデータの取り込みなどの回路として用いてもよいし、有機EL表示装置におけるビデオ信号の取り込み回路として用いてもよい。

【0068】

また、上記実施形態では、データ信号の取り込み時およびデータ判定時に、データ取り込み部 1 を内部の電源電圧 VDD と接続するように構成したが、外部の電源に接続するようにしてもよい。

【 0 0 6 9 】

【発明の効果】

以上のように、本発明によれば、データの取り込みおよびデータの保持を安定して行うことが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 2】

図 1 に示した第 1 実施形態の半導体装置の動作タイミングと動作波形とを示した図である。

【図 3】

本発明の第 2 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 4】

本発明の第 3 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 5】

本発明の第 4 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 6】

本発明の第 5 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 7】

本発明の第 6 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 8】

本発明の第 7 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 9】

本発明の第 8 実施形態による半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 1 0】

従来の半導体装置（データ取り込み回路）の回路構成を示した回路図である。

【図 1 1】

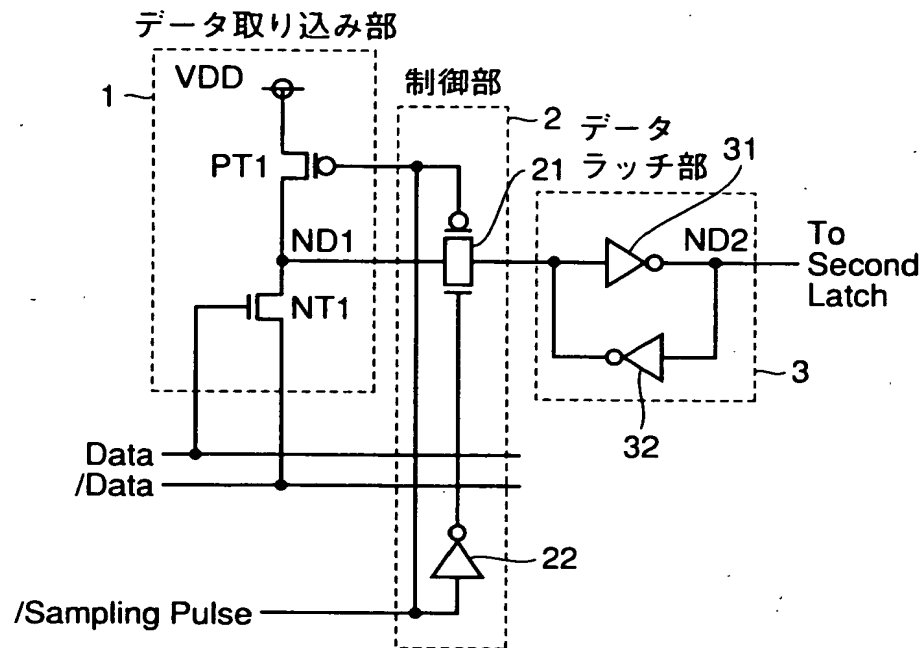
図 1 0 に示した従来の半導体装置の動作タイミングと動作波形とを示した図である。

【符号の説明】

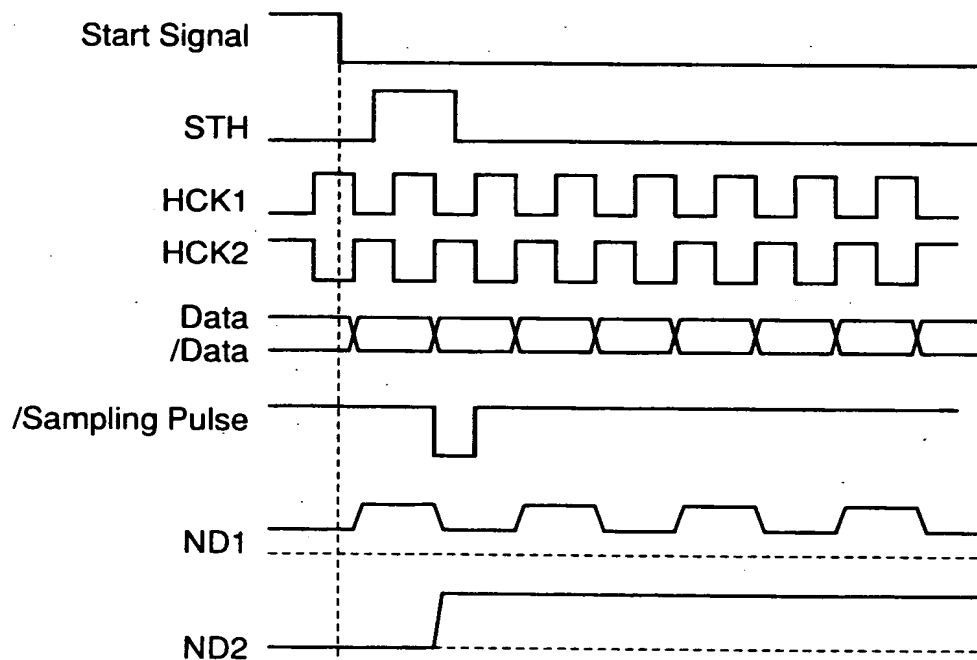
- 1、1 a、1 b データ取り込み部
- 2 制御部
- 3 データラッチ部（ラッチ部）
- 2 1 トランスファゲート
- 2 2 インバータ回路
- 3 1 インバータ回路（第 1 インバータ回路）
- 3 2 インバータ回路（第 2 インバータ回路）
- P T 1 pチャネルトランジスタ（第 1 pチャネルトランジスタ）
- P T 2 pチャネルトランジスタ（第 2 pチャネルトランジスタ）
- P T 3 pチャネルトランジスタ（第 3 pチャネルトランジスタ）
- P T 4 pチャネルトランジスタ（第 4 pチャネルトランジスタ）
- N T 1 nチャネルトランジスタ（第 1 nチャネルトランジスタ）
- N T 2、N T 3 nチャネルトランジスタ（第 1 スイッチング素子）
- N D 1、N D 3 ノード（第 1 ノード）
- N D 2、N D 4 ノード（第 2 ノード）

【書類名】 図面

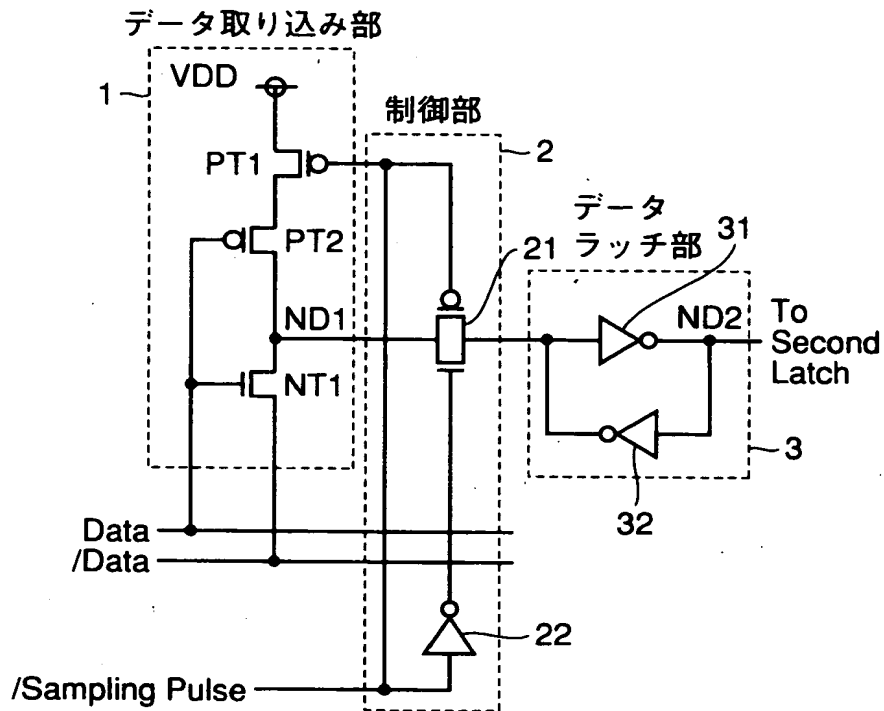
【図 1】



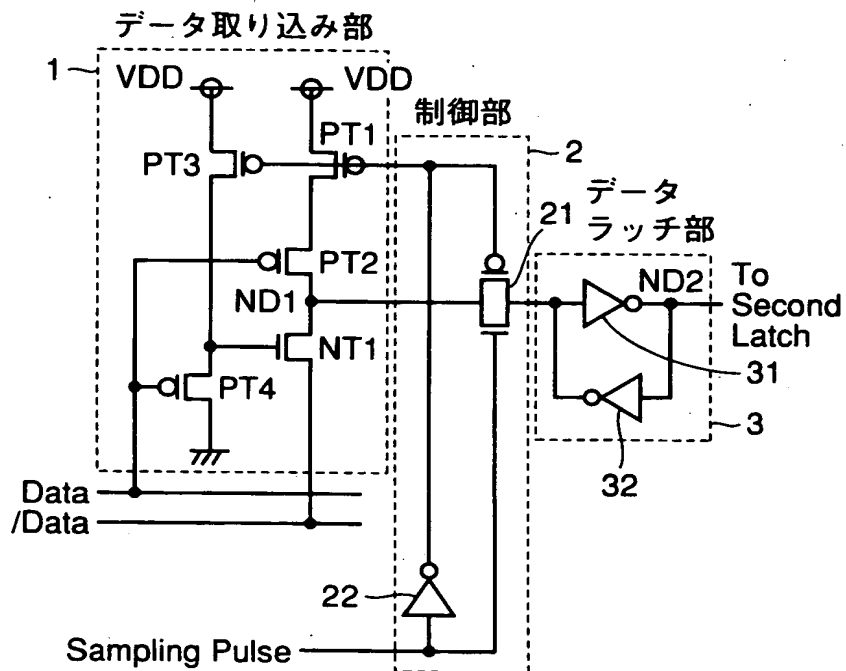
【図 2】



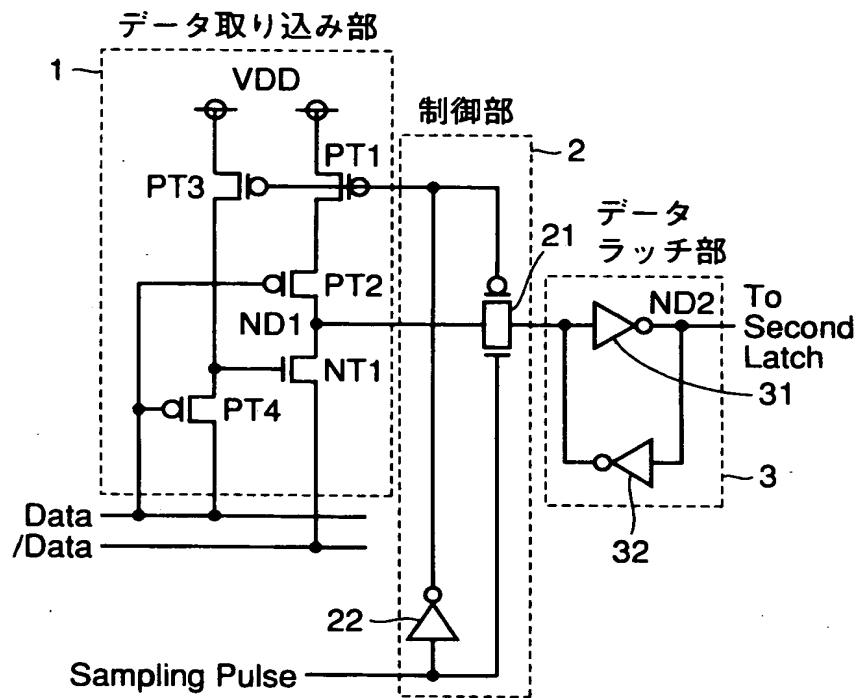
【図 3】



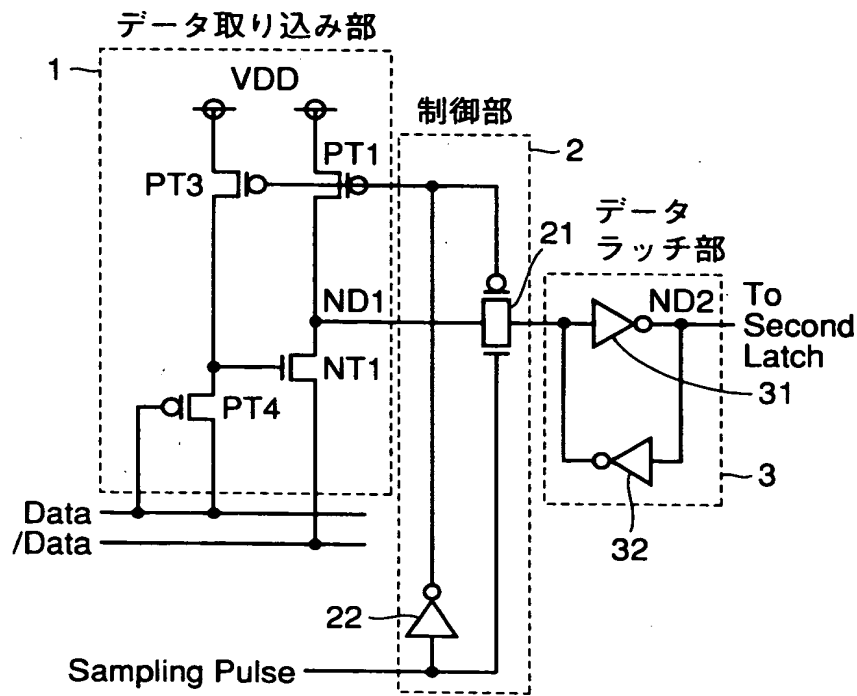
【図 4】



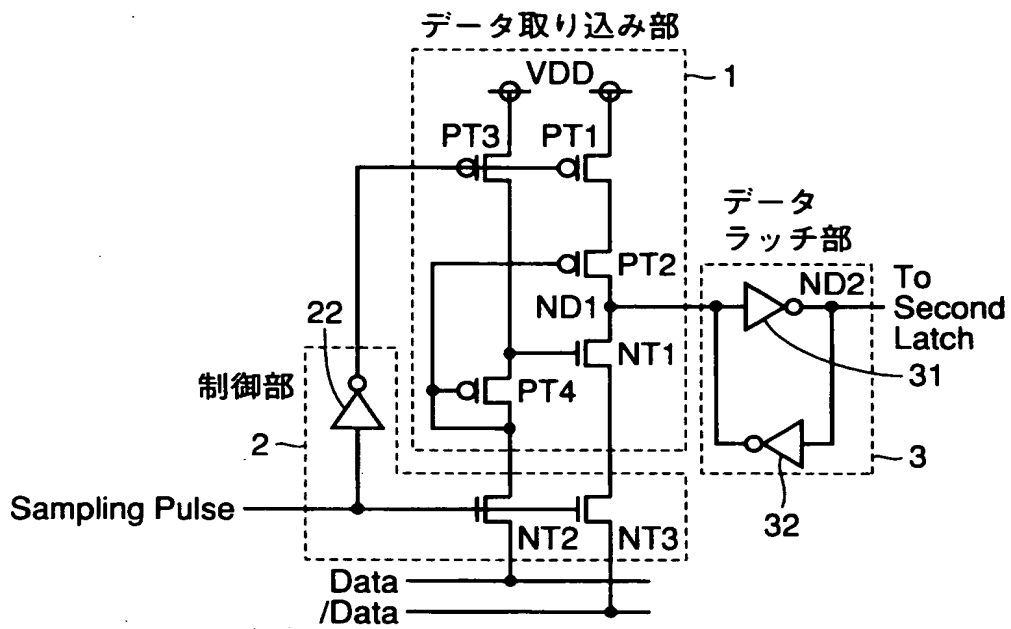
【図 5】



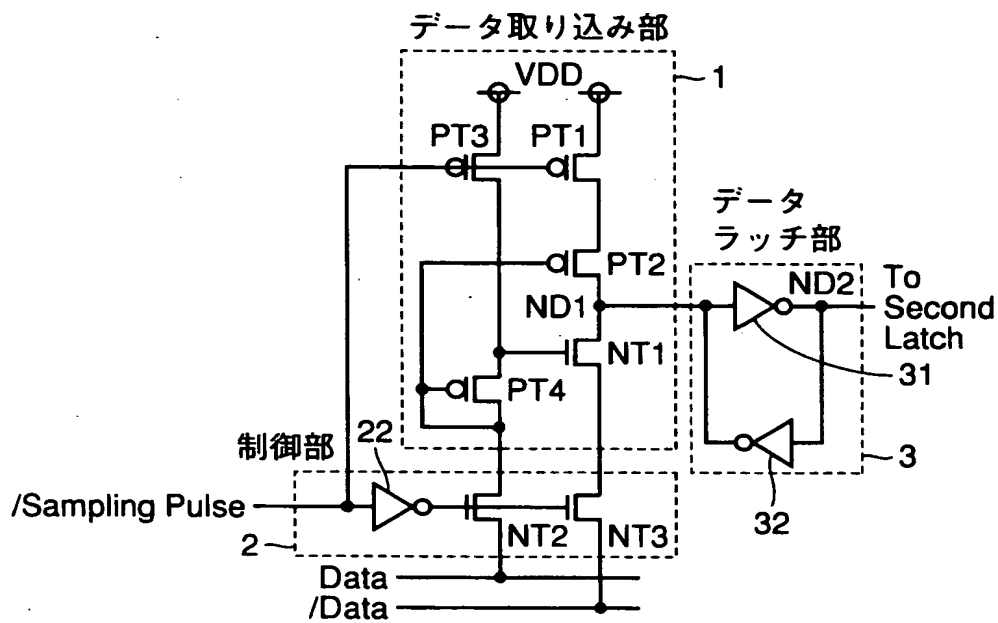
【図 6】



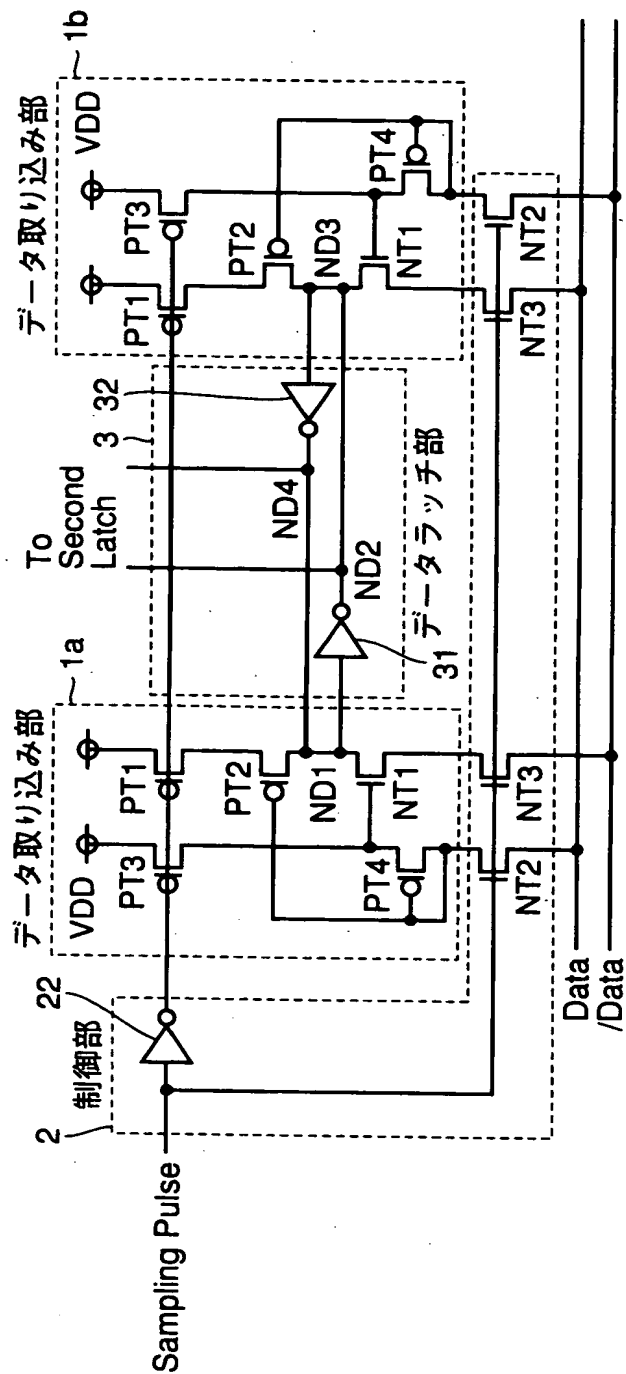
【図 7】



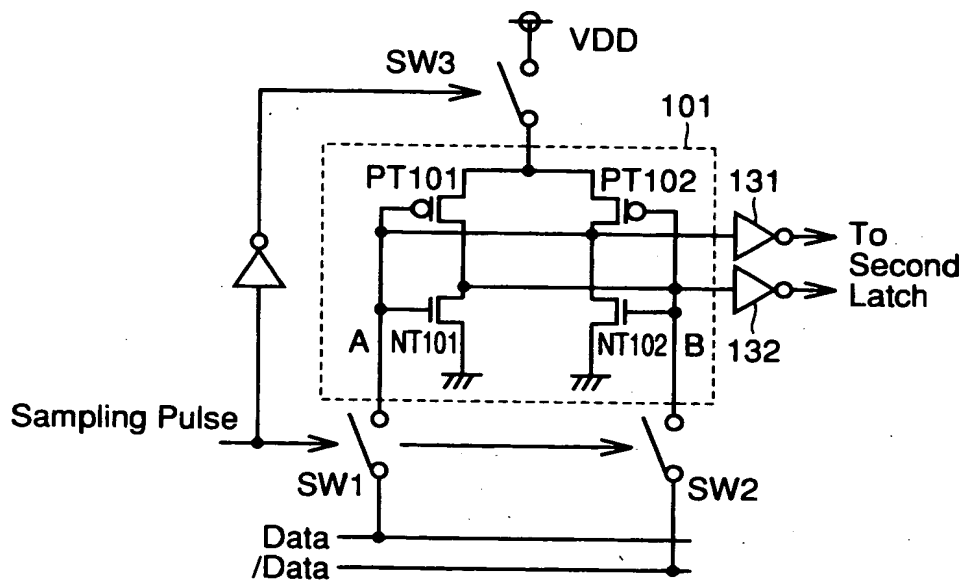
【図 8】



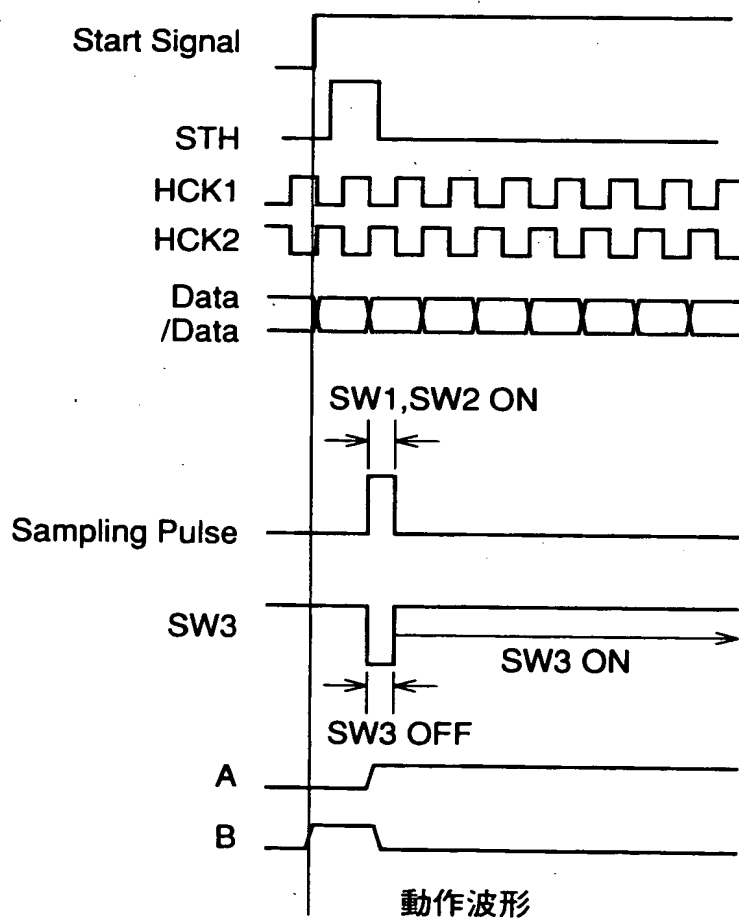
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 データの取り込みおよびデータの保持を安定して行うことが可能な半導体装置を提供する。

【解決手段】 この半導体装置（データ取り込み回路）は、低振幅のデータ信号を入力するためのデータ入力部（Data線、／Data線）と、データ信号を取り込むための同期信号（サンプリングパルス）を供給する制御部2と、制御部2からの同期信号に応答して、低振幅のデータ信号を取り込んでデータ信号を判定するとともに、低振幅のデータ信号を大きな振幅にレベル変換するためのデータ取り込み部1と、データ取り込み部1とは別個に設けられ、データ取り込み部1に取り込んだデータを保持するためのデータラッチ部3とを備えている。そして、データ取り込み部1は、少なくともデータ信号の取り込み時および判定時に電源電圧VDD（9V）と接続されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社